

半導体 CMP プロセスにおける遮光の必要性

株式会社レゾナック フェロー
近藤誠一

1. はじめに

低抵抗かつ低寄生容量を有する高密度多層配線は、半導体集積回路の動作速度を向上するために必要であり¹⁾、銅 (Cu) 配線はアルミニウム (Al) 配線よりも電気抵抗率を下げ、許容電流密度を大きく向上させることを目的として 1990 年代末にロジック半導体から導入され、その後にメモリ半導体にも徐々に展開されるようになった^{2,3)}。

ダマシンプロセスと呼ばれる配線形成法は、半導体テクノロジーノード 180 nm 以降の微細な銅配線を形成する際に使われるようになった技術であり⁴⁾、このプロセスを確立するための鍵となったのが、銅およびバリア金属の化学機械研磨 (CMP : Chemical Mechanical Planarization) であった。ダマシンプロセスとは、SiO₂膜や SiOC 膜 (低誘電率膜) に配線となる溝、もしくは下層配線への接続孔を形成した表面に、数 10 nm 厚のバリア金属膜とシード銅層をスパッタ法で成膜し (現在の先端デバイスでは数 nm の場合もある)、さらに数 100 nm 厚の銅めっき膜を連続して成膜、その後に銅 CMP 用スラリー (研磨材) で溝や孔以外の銅とバリア金属膜を除去することで銅配線を形成するプロセスである。それまでのアルミニウム配線をドライエッチ法によって形成していたが、銅のドライエッチが困難であったことから導入された新しいプロセスであった。バリア金属とは、銅が SiO₂層を通して Si へ拡散してトランジスタの動作不良を起こすことを抑制するための拡散防止膜のことであり、Ti 系や Ta 系の高融点金属が用いられ、銅膜の接着性改善の役割も果たしている。銅 CMP 用スラリーは、一般に研磨粒子、酸化剤、錯化剤、必要に応じて防食剤などを含有する^{5,6)}。

1990 年代当時、金属 CMP で最初に導入されたタングステン (W) CMP の研磨メカニズムとして、金属表面の酸化、スラリー中の研磨粒子による凸部酸化膜の除去、ならびに露出した金属表面の再酸化から成るモデルが提案されており⁷⁾、このメカニズムは多くの金属に共通すると考えられていた。高精度かつ高歩留まりでダマシン金属配線を形成するため、ディッシング (配線金属表面の凹み) やエロージョン (配線パターン全体の凹み) を抑制しつつ、高い研磨速度を達成することを目的としてスラリーの化学特性や CMP 条件の最適化が検討された⁸⁾。

しかしながら、銅は他の金属と比較して、特に湿式環境下において腐食やエッチングが極めて生じやすい。銅 CMP 工程中に発生する腐食には、主に二つのタイプがよく知られている。一つはスラリー中の化学物質と銅との化学反応による化学腐食であり⁹⁾、もう一つは電気化学的に異なる二種類の金属が電氣的に接続された状態で同一の電解質に曝されることにより生じるガルバニック腐食である⁹⁾。これらの腐食は、配線パターン欠陥や金属膜厚の減少 (すなわち配線抵抗の増加) を引き起こすため、銅 CMP 用スラリーに用いる化学薬品の選定には十分な注意が必要である。

本報告では、銅 CMP スラリーによって誘起される腐食とともに「パターン依存腐食」のメカニズムを解説する。この現象は光腐食 (photo corrosion) とも呼ばれており^{9,10,11)}、この腐食の解決無くして銅配線の量産適用は不可能であった。この腐食はトランジスタが搭載されていない銅配線のみでのテストウェアでは起こらないため、配線工程のみの CMP 実験では確認することができず、量産立上